

(11)Publication number : 64-041522

(43)Date of publication of application : 13.02.1989

(51)Int.Cl.

H03L 7/10  
H04B 1/26

(21)Application number : 62-198460

(71)Applicant : SHARP CORP

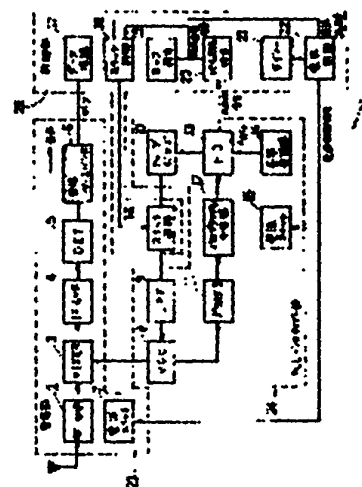
(22)Date of filing : 07.08.1987

(72)Inventor : SUMIKAWA KEIICHIRO

**(54) PHASE LOCKED LOOP CIRCUIT****(57)Abstract:**

**PURPOSE:** To reduce the lock time et intermittent operation by providing a switching means and a voltage storage means storing an input voltage to a voltage controlled oscillator circuit just before the open circuit between a phase comparator and an LPF.

**CONSTITUTION:** The switching circuit 16 interposed between the phase comparator (PD) 13 and the LPF 9, a charge pump 10 storing an input voltage to the voltage controlled oscillator circuit (VCO) 8 just before the open circuit and a switch control means 18 opening a loop by the switch 16 in the presence of the open circuit command, giving the said storage voltage to the VCO 8 when the open command exists and closing the loop by the switch 16 when the phase difference detected by the PD 13 reaches a prescribed value or below, are provided. When the power of the PLL circuit is switched from OFF to ON in the intermittent operation, the preceding frequency is taken over. Moreover, the loop is closed with a large phase difference and the frequency is not largely deviated. The lock time at the intermittent operation is shortened by the operation.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭64-41522

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月13日

H 03 L 7/10  
H 04 B 1/28

D-8731-5J  
U-7251-5K

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 フェーズ・ロックド・ループ回路

⑮ 特 願 昭62-198460

⑯ 出 願 昭62(1987)8月7日

⑰ 発 明 者 澄 川 恵 一 郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲ 代 理 人 弁理士 本 庄 武 男

## 明 細 書

### 1. 発 明 の 名 称

フェーズ・ロックド・ループ回路

### 2. 特 許 請 求 の 範 囲

1. 位相比較回路と、ローパスフィルタと、電圧制御発振回路とがループを形成して成るフェーズ・ロックド・ループ回路において、

位相比較回路とローパスフィルタの間またはローパスフィルタと電圧制御発振回路の間に介設されてループをオープンする手段と、オープン直前の電圧制御発振回路への入力電圧を記憶する電圧記憶手段と、オープン指令があると前記スイッチ手段でループをオープンすると共にクローズ指令があると前記記憶電圧を前記電圧制御発振回路に入力し前記位相比較回路で位相差を検出し位相差が所定量以下となったときに前記スイッチ手段でループをクローズするスイッチ制御手段とを具備したことを特徴とするフェーズ・ロックド・ループ回路。

### 3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、フェーズ・ロックド・ループ回路に関し、更に詳しくは、周波数合わせさせる場合に周波数引き込み過程を短縮できるようにしたフェーズ・ロックド・ループ回路に関する。

(従来の技術)

コードレス電話やページャ等の携帯用無線機においては、電極の消耗を防ぐために、受信すべき電波の感度があるまでは周波数合わせを行わせている。

即ち、受信部系全体に電力を供給して電波を受信できる状態で待機する待ち受け動作と、必要最低限の部分以外に電力の供給をカットして電波を受信できないが電力消費を抑制する休止動作とを交互に繰り返すことを行っている。

フェーズ・ロックド・ループ回路(以下、PLL回路という)は、携帯用無線機のチューナ部のシンセサイザーとして広く使用されており、上記周波数合わせ時には、PLL回路も周波数合わせをせられている。

【発明が解決しようとする課題】

チャージャ部にPLL回路を付いた場合、PLL回路の周波数引き込み過程（プラインレンジ）を経てロックされるまでの時間（ロックタイム）は正しい受電状態に入れない。従って、ロックタイムは短い方が好ましい。

ところが、PLL回路を間欠動作させると、その起電電圧オフから立ち上がるため、周波数ロックタイムが長くなってしまふ問題がある。

従って、本発明の目的とするところは、間欠動作時におけるロックタイムを短縮可能としたPLL回路を提供することにある。

（問題点を解決するための手段）

本発明のPLL回路は、位相比較回路と、ローパスフィルタと、電圧制御発振回路とがループを形成して成るフェーズ・ロックド・ループ回路において、位相比較回路とローパスフィルタの間またはローパスフィルタと電圧制御発振回路の間に介装されてループをオープンする手段と、オープン直前の電圧制御発振回路への入力電圧を記憶する電

圧記憶手段と、オープン指令があると前記スイッチ手段でループをオープンすると共にクローズ指令があると前記記憶電圧を前記電圧制御発振回路に入力し前記位相比較回路で位相差を修正し位相差が所定量以下となったときに前記スイッチ手段でループをクローズするスイッチ制御手段とを具備したことを特徴とするものである。

【作用】

本発明のPLL回路では、電圧記憶手段によって電圧制御発振回路への入力電圧を記憶しておくことが出来るので、間欠動作時において、PLL回路の電圧がオフからオンに切り替わった時、以前の周波数からスタートできる。従って、初期の周波数はずれを少なく出来る。

また、スイッチ制御手段によって、位相差が所定量以下となった時にループをクローズすることが出来るので、位相差が大きくなまふループをクローズにして、周波数を大きく外してしまうことが防止される。

そこで、これらの作用より、間欠動作時における

3

るロックタイムを短縮することが出来る。

そして、携帯用無線機で間欠動作させる時の待ち受け時間をロックタイムの短縮に伴って短縮することが出来るようになるから、消費電力を低減できることになる。

（実施例）

以下、図に示す実施例に基づいて本発明を更に詳しく説明する。ここに第1図は本発明の一実施例のPLL回路を含む携帯用無線機のブロック図、第2図は本発明におけるスイッチ手段と電圧記憶手段とに対応する回路部分の具体的な例示図、第3図は本発明におけるスイッチ制御手段に対応する回路部分の具体的な例示図、第4図は第3図に示す図4図の各部の構成状態図である。尚、図に示す実施例により本発明が限定されるものではない。

第1図に示す携帯用無線機1は、受信部23と、PLLシンセサイザ部24と、制御部25の3つの部分からなっている。

受信部23は、従来公知の構成と同様であり、間欠動作のための電源スイッチ回路7が設けられ

ている。

PLLシンセサイザ部24は、電圧制御発振回路8と、ローパスフィルタ9と、チャージポンプ10と、プリスクエーラ11と、プログラマブル分周器12と、位相比較回路13と、基準発振器14とを有し、また、間欠動作のための電源スイッチ回路15を有している。

ここで注意すべきことは、ローパスフィルタ9とチャージポンプ10との間に、スイッチ回路16が介装されていることである。

位相比較回路13は、チャージポンプ10への出力の値に、位相差のあるときにパルスが出現するアンロック信号を出力している。

第2図は、ローパスフィルタ9、スイッチ回路16、チャージポンプ10を具体的に例示したものである。

制御部25は、前記スイッチ回路16を制御するためのスイッチ制御回路18と、間欠動作を司るためのタイマー回路21および電源調整回路22と、前記位相比較回路13からのアンロッ

5

6

ク信号に応じて位相差信号を出力するパルス幅検出回路20とを具備している。位相差信号は、前記スイッチ制御回路18に入力されている。

第3図は、スイッチ制御回路18、パルス幅検出回路20を具体的に例示したものである。

次に、第1図～第3図及び第4図に示す信号波形図を参照し、同動作時の動作を説明する。

まず、待ち受け動作の状態では、受信部23、Pししンセサイザー部24、制御部25の全てに電力が供給され、電波を受信できる状態で待機している。ここで誘導受電線1は、送電用の電線の送電チャンネルと、通信制御用の制御チャンネルとを有しているが、待ち受け動作では、制御チャンネルの電圧を待っている。

待ち受け動作を所定時間継続すると、タイマー回路21及び電源制御回路22から出力される電源オン信号が「H」になる。すると、第3図に示すようにスイッチ回路16がオフされ、第2図に示すようにローパスフィルタ9のコンデンサCは直前の電圧を保持した状態となる。

7

する周波数となり、それは先の待ち受け動作における周波数とは異なる周波数である。従って、立ち上がり要する時間が短縮される。

ところで、位相比較回路13に入力される電圧制御回路8側からの信号と基準電圧器14からの信号の位相差が大きいと、両信号の周波数が合致していても、ループがクローズされた時に周波数が大きく外れてしまう危険がある。

しかし、スイッチ回路16は、位相差信号を待ってから閉じられるため、かかる周波数はずれは防止される。即ち、第3図に示すMT回路によって、電源立ち上がり時にはスイッチ回路16を閉じないようにする。そして、位相差が大きいつ時に出力されるアンロック信号が入力されている間は、スイッチ回路16を閉じないようにする。そして、電圧が完全に立ち上がり、且つ、位相差がなくなってアンロック信号が入力されない時にスイッチ回路16が閉じられる。

そこで結局、周波数がほぼ合致し、且つ、位相差のない状態でループがクローズされるので、周

電源制御部22は、スイッチ回路16をオフにした後、電源スイッチ回路1及び15を動作し、受信部23とPししンセサイザー部24の電源を遮断する。また、制御部25のデータ復調回路17、ロック検出回路15、パルス幅検出回路20の電源を遮断する。かくして、電波の受信は出来ないが、消費電力を抑制した休止動作に移行する。

休止動作を所定時間継続すると、タイマー回路21及び電源制御回路22は、電源オン信号を「H」にし、受信部23及びPししンセサイザー部24の電源をオンとする。また、制御部25のデータ復調回路17、ロック検出回路19、パルス幅検出回路20の電源をオンにする。

しかし、スイッチ回路16は、電源オン信号が「H」となっても、パルス幅検出回路20からの位相差信号が入力されないかぎり、ループをクローズにしない。

そこで、電圧制御回路8側の初期の周波数は、ローパスフィルタ9に保持されていた電圧に対応

8

周波数外れを生じず、短時間でPししンセサイザー部はロックする。

かくして、Pししンセサイザー部のロックタイムを短縮できるため、待ち受け動作の時間を短縮できることになる。そこで、受信すべき電波の帯域があるまでの時間に誘導受電線1が消費する電力を低減できることとなる。

〔発明の効果〕

本発明によれば、位相比較回路と、ローパスフィルタと、電圧制御回路とがループを形成して成るフェーズ・ロックド・ループ回路において、位相比較回路とローパスフィルタの間またはローパスフィルタと電圧制御回路の間に介装されてループをオープンする手段と、オープン直前の電圧制御回路側への入力電圧を記憶する電圧記憶手段と、オープン指令があると前記スイッチ手段でループをオープンすると共にクローズ指令があると前記記憶電圧を前記電圧制御回路側側面に入力し前記位相比較回路で位相差を演出し位相差が所定値以下となったときに前記スイッチ手段でループ

をクローズするスイッチ制御手段とを具備したことを特徴とするフェーズ・ロックド・ループ回路が提供され、これにより周波数引き込みに要する時間すなわちロックタイムを短縮できるようになる。

そこで、かかるフェーズ・ロックド・ループ回路を用いた携帯用無線機において、周波数動作をする時の待ち受け動作の時間を短縮できることとなり、低消費電力化を促進できる。

#### 4. 図面を参照して説明する

第1図は本発明の一実施例のPLL回路を含む携帯用受信機のブロック図、第2図は本発明におけるスイッチ手段と電圧記憶手段とに対応する回路部分の具体例示図、第3図は本発明におけるスイッチ制御手段に対応する回路部分の具体例示図、第4図は第3図に示す回路図の各部の信号波形図である。

#### 〔符号の説明〕

1…携帯用受信機

8…電圧制御発振回路

9…ローパスフィルタ

10…チャージポンプ

11…位相比較回路

12…スイッチ回路

13…スイッチ制御回路

20…パルス幅検出回路

21…タイマー回路

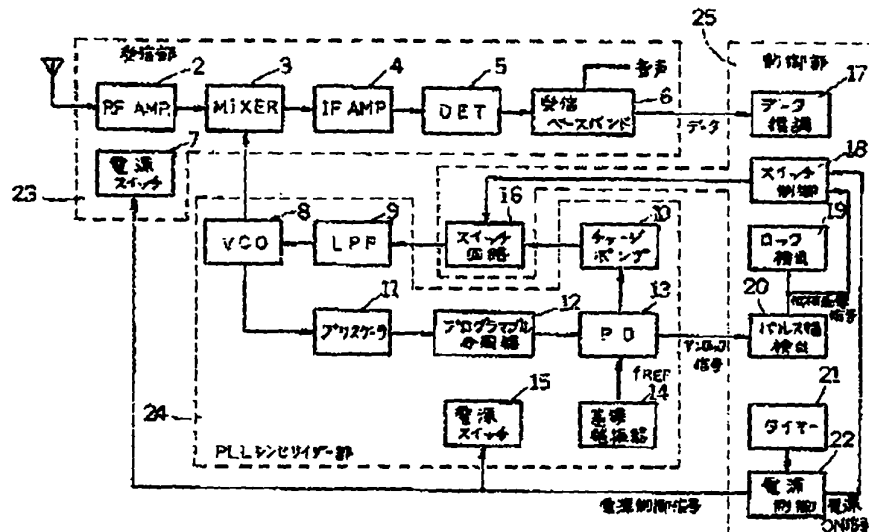
22…電源制御回路

7. 15…電源スイッチ回路。

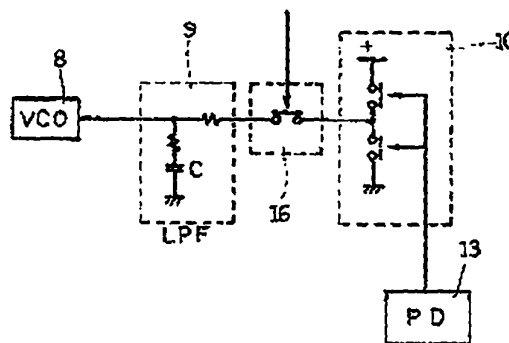
出願人 シャープ株式会社

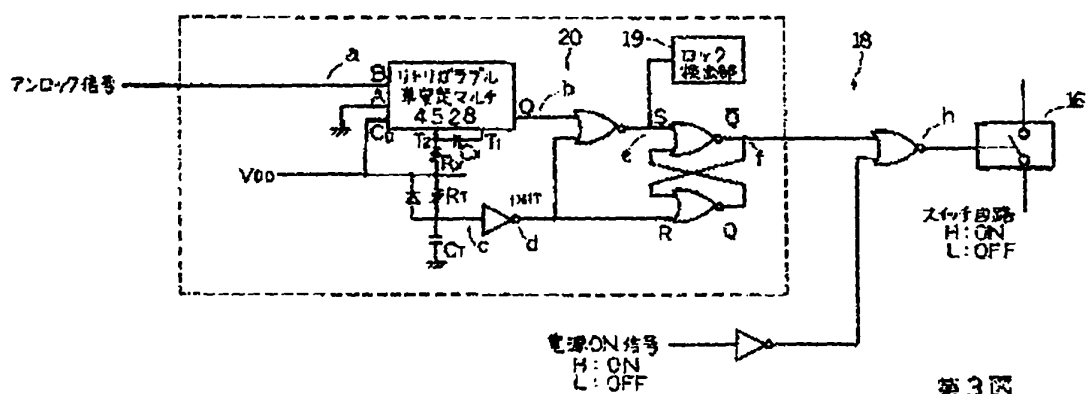
代理人 弁護士 本庄 武男

第1図

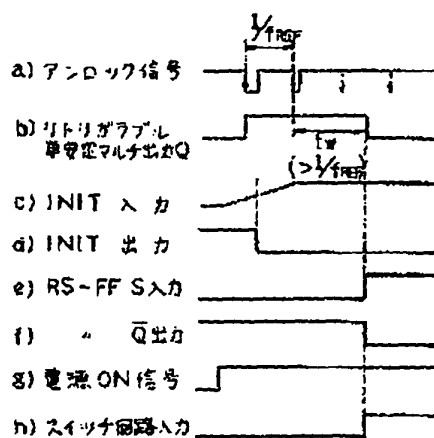


第2図





第3図



第4図